



RECEIVED

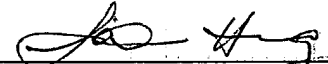
JUL 20 2001

PATENT  
Docket No. JCLA6047  
page 1

2819  
#2

In re application of: SHENG-TSAI CHANG et al.  
Application No.: 09/750,819  
Filed: December 28, 2000  
For: DEVICE AND CONTROL STRUCTURE OF  
MULTI-LEVEL PULSE WIDTH MODULATION  
Examiner:  
Art Unit:

I hereby certify that this correspondence  
and all marked attachments are being  
deposited with the United States Postal  
Service as first class mail in an envelope  
addressed to: Assistant Commissioner for  
Patents, Washington, D.C. 20231, on  
July 10, 2001  
(Date)

  
Jiawei Huang, Reg. No. 43,330

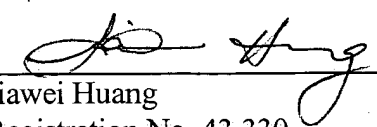
ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 89121079 filed on  
October 09, 2000.

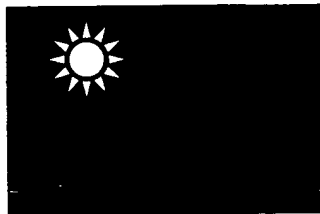
A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees  
required, including any fees for additional extension of time, or credit overpayment to Deposit  
Account No. 50-0710 (Order No. JCLA6047). A duplicate copy of this sheet is enclosed.

  
Jiawei Huang  
Registration No. 43,330

Please send future correspondence to:  
J. C. Patents  
1340 Reynolds Ave., #114  
Irvine, CA 92614  
(949) 660-0761

09/150,819  
JCLF16047



RECEIVED

JUL 20 2001

TECHNOLOGY CENTER 2800



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

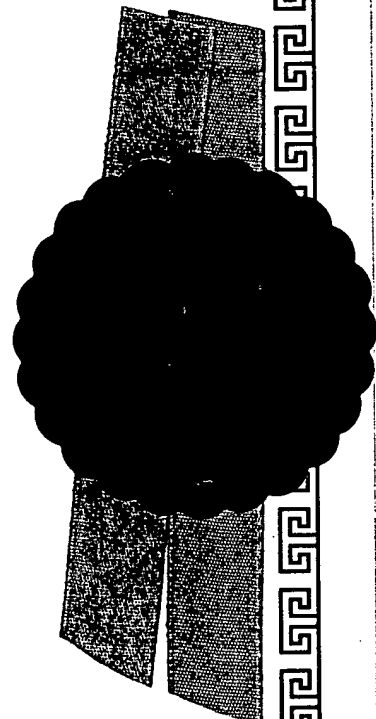
茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 10 月 09 日  
Application Date

申請案號：089121079  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)



PRIORITY DOCUMENT  
CERTIFIED COPY OF

局長  
Director General

陳明邦

2000 11 13  
發文日期：西元 年 月 日  
Issue Date

發文字號：08911016145  
Serial No.

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	多準位脈衝寬度之調變裝置及其控制結構
	英 文	
二、發明 創作人	姓 名	1 張生財 2 楊明哲 3 林祐禎 4 羅坤瑛
	國 籍	中華民國
三、申請人	住、居所	1 彰化縣員林鎮山腳路二段 428 號 2 新竹市金山 23 街 50 巷 15 號 3 新竹市中山路 640 巷 542 號 5 樓 4 台北市南京東路五段 66 巷 17 號 3 樓
	姓 名 (名稱)	華邦電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新三路四號
	代 表 人 名 姓	焦佑鈞

四、中文發明摘要（發明之名稱：多準位脈衝寬度之調變裝置及其控制結構）

一種多準位脈衝寬度調變數位類比轉換裝置。可輸出m階類比信號的轉換裝置，用以將n位元PCM數值中的n-m個最大位元數值轉換成PWM波形，以輸出第一輸入信號與第二輸入信號。2<sup>m1</sup>個第一輸出緩衝裝置用以接收第一輸入信號，且各個第一輸出緩衝器具有輸出電流值。2<sup>m2</sup>個第二輸出緩衝裝置用以接收第二輸入信號，且各個第二輸出緩衝器具有各個輸出電流值。控制裝置用以控制第一輸出緩衝裝置與第二輸出緩衝裝置之開關狀態。本發明不但可以提高解析度，並且也可以維持原來的取樣率。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

## 五、發明說明 ( / )

本發明是有關於一種數位類比轉換裝置 (Digital/Analog Converter, DAC), 且特別是有關於一種可同時提高解析度及維持原來的取樣率之多準位脈衝寬度調變數位類比轉換裝置。

脈衝寬度調變 (Pulse Width Modulation, PWM) 是將數位脈衝編碼調變 (Pulse Code Modulation, PCM) 信號轉換成以不同的工作週期 (duty cycle) 來表示。將 PCM 轉換成 PWM 之後可直接推動喇叭產生類比信號輸出, 成為 PWM 數位類比轉換器 (PWM DAC)。PWM DAC 之解析度、取樣率與輸入時脈頻率具有下列的關係：

a. 單端 PWM DAC：解析度  $\times$  取樣率 = 輸入時脈頻率

b. 雙端 PWM DAC：解析度  $\times$  取樣率 =  $2 \times$  輸入時脈頻率

由上述可知，當系統的輸入時脈頻率固定時，解析度與取樣率是反比關係。也就是說，若要 PWM DAC 具有高解析度，則勢必要降低取樣率。反之，若要提高取樣率，則必須要犧牲解析度。

請參照第 1 圖，其繪示的是傳統一種 PWM DAC 的方塊圖，其中 PCM 轉換電路接收到 PCM 信號之後，隨即輸出 P+ 12 與 P- 14 信號至緩衝器 16/18，並經由輸出緩衝器 16/18 輸出驅動信號至輸出裝置 20，使輸出裝置 20 輸出 PWM 之信號。

請參照第 2 圖，其繪示的是傳統一種 PWM DAC 的示意圖。

傳統 PWM DAC 主要係由輸出緩衝器 (output driver) 22

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

與輸出緩衝器 24 所組成。輸出緩衝器 22 之輸入端接收一輸入信號 P+，其輸出端連接至一個揚聲器(speaker)26，之一輸入端。而輸出緩衝器 24 之輸入端接收一輸入信號 P-，其輸出端連接至揚聲器 26 之另一輸入端。揚聲器 26 藉由來自輸出緩衝器 22 與輸出緩衝器 24 之兩輸入信號，以輸出一聲音信號至外部。上述輸入信號 P+與 P-係來自用以將 n 位元 PCM 數值中的 n-m 個最大位元數值轉換成 PWM 波形之轉換電路，其中，n 與 m 為任意正數，且  $n > m$ 。

在第 1 圖之輸出緩衝器 22 與輸出緩衝器 24 之 PWM 輸出波形只有 0 與 1 兩準位的數位波形。由於傳統 PWM DAC 是數位式輸出，其最小單位為 1，故只能表示 X 與 X+1、X+2 等整數值。然而，若要進一步表示  $X+(1/4)$ 、 $X+(1/2)$  甚至  $X+(7/8)$  的 PCM 值，則傳統 PWM DAC 並無法完成。

有鑒於此，本發明提出一種多準位脈衝寬度調變數位類比轉換器，包括之裝置有：轉換電路、 $2^m$ 個第一輸出緩衝裝置、 $2^m$ 個第二輸出緩衝裝置、控制裝置、與輸出裝置。上述之 m 階轉換電路，用以將 n 位元 PCM 數值中的 n-m 個最大位元數值轉換成 PWM 波形，以輸出第一輸入信號與第二輸入信號。第一輸出緩衝器用以接收第一輸入信號，且每個第一輸出緩衝器具有各輸出電流值。第二輸出緩衝器用以接收第二輸入信號，且每個第二輸出緩衝器具有各輸出電流值。

以及，控制裝置用以控制第一輸出緩衝器與第二輸出緩衝器之開關狀態。其中，控制裝置會依據 PCM 的 m 個最低

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(3)

位元，於每個取樣週期的某一區間內，將數個第一輸出緩衝器與數個第二輸出緩衝器轉變成高輸出阻抗狀態。此外，第一輸出緩衝裝置與第二輸出緩衝裝置的個數可以不同，亦即，可以有 $2^{m1}$ 個第一輸出緩衝裝置與 $2^{m2}$ 個第二輸出緩衝裝置，其中， $m1$ 與 $m2$ 分別為小於 $n$ 的正數。

本發明提出之多準位脈衝寬度調變數位類比轉換器，不但可以提高解析度，並且也可以維持原來的取樣率。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是傳統一種 PWM DAC 的方塊圖；

第 2 圖繪示的是傳統一種 PWM DAC 之裝置的示意圖；

第 3 圖繪示的是依照本發明之 MPWM DAC 的方塊圖；

第 4 圖繪示的是依照本發明一較佳實施例的一種雙端四階 MPWM DAC 之裝置的示意圖；

第 5 圖繪示的是依照本發明一較佳實施例的一種 MPWM DAC 之控制裝置示意圖；

第 6 圖繪示的是傳統 PWM DAC 的輸出波形；以及

第 7 圖繪示的是本發明 MPWM DAC 之輸出波形。

圖式之標號說明：

10、28：PCM 轉換電路

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 4 )

12、14、30、32：輸出信號

16、18、22、24、38、40、

52a~52d、54a~54d：輸出緩衝器

20、42：輸出裝置

26、56：揚聲器

30、32：輸入信號

33：啓動信號

34：控制裝置

36：控制信號

58、60、62：控制器

### 實施例

如先前所述，傳統 PWM 之輸出波形只有 0 與 1 兩準位的數位波形，然而本發明則是將 PWM 輸出波形變更為類比式輸出，在此稱之為多準位脈衝寬度調變(Multi-level PWM, MPWM)。採用本發明提出之 MPWM DAC 的方法，不但可以提高解析度，並且也可以維持原來的取樣率。以下，將以四階 MPWM DAC 為範例，來詳述本發明的實現方法。

請參照第 3 圖，其所繪製的是依照本發明之一較佳實施例的一種 MPWM DAC 的方塊圖，其中 PCM 轉換電路 28 接收到 PCM 之信號後，各輸出一個輸入信號 MP+ 30、輸入信號 MP- 32、與啓動信號 33 分別輸出至緩衝裝置 38/40 與控制裝置 34，而在控制裝置 34 接收到啓動信號 33 之時，則輸出控制信號 36 到第一輸出緩衝裝置 38 與第二輸出緩衝裝置 40，而第一輸出緩衝裝置 38 與第二輸出緩衝裝置 40 各接收到輸入信號 MP+ 30、輸入信號 MP- 32、與控制信號 36，接著各輸出驅動信號到輸出裝置 42，用以輸出 PWM 信

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明(5)

號。

請參照第 4 圖，其繪示的是依照本發明一較佳實施例的一種 MPWM DAC 的方塊圖與示意圖。

本發明之 MPWM DAC 是將第 2 圖傳統 PWM DAC 的輸出緩衝器 22 與 24 分別各分成四個小輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d，使每個輸出緩衝器 52a~52d 或輸出緩衝器 54a~54d 的輸出電流之總和各為傳統 PWM DAC 之輸出緩衝器 12 或 14 之輸出電流值。其中，除 52a 與 54a 可以是一般輸出緩衝器或三態緩衝器(Tri-State Buffer)，而其餘之輸出緩衝器 52b~52d 與 54b~54d 是以三態緩衝器來實現之，而以下所述皆以三態緩衝器為例來說明。

每個三態緩衝器 52a~52d 的輸入端都接收一輸入信號 MP+，且其輸出端 E、F、G 與 H 都連接至揚聲器 56 之一輸入端。每個三態緩衝器 52a~52d 分別具有一控制端，且這些控制端分別接收控制信號 A、B、C 與 D，用以控制三態緩衝器 52a~52d 之開關狀態，其中控制信號 A、B、C 與 D 係由第 3 圖之控制裝置 34 所產生。同樣地，每個三態緩衝器 54a~54d 的輸入端都接收一輸入信號 MP-，且其輸出端 I、J、K 與 L 都連接至揚聲器 56 之另一輸入端。每個三態緩衝器 54a~54d 分別具有一控制端，且這些控制端分別接收上述控制信號 A、B、C 與 D，用以控制三態緩衝器 54a~54d 之開關狀態。上述輸入信號 MP+與 MP-係來自用以將 n 位元 PCM 數值中的 n-m 個最大位元數值轉換成 PWM 波形之 m 階轉換電路，其中，n 與 m 為任意正數，且  $n > m$ 。

## 五、發明說明 ( 7 )

MP-分別為高準位與低準位，而輸入信號 MP-會維持低準位狀態直到時間 X+1 後才變為高準位狀態。此外，控制信號 A、B、C 與 D 都為高準位，此時輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 之輸出信號 E、F、G 與 H 以及 I、J、K 與 L 分別處在高準位與低準位。

在時間 X 之後，控制信號 B、C 與 D 會變為低準位，使得輸出信號 F、G 與 H 會從高準位狀態下降一定準位，並且輸出信號 J、K 與 L 會從低準位狀態上升一定準位。接著，在時間 X+1 之後，控制信號 B、C 與 D 會再變為高準位，使得輸出信號 F、G 與 H 再變為高準位狀態，而輸出信號 J、K 與 L 會完全上升至高準位狀態，並且輸出信號 J、K 與 L 會維持在高準位狀態直到此第一個取樣週期結束後才變為低準位狀態。

在第二個取樣週期期間，輸出緩衝器 52a~52d 與 54a~54d 之輸入信號 MP+與 MP-的準位狀態變化如先前第一個取樣週期所述。而控制信號 A、B、C 與 D 都為高準位，此時輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 之輸出信號 E、F、G 與 H 以及 I、J、K 與 L 分別處在高準位與低準位。

在時間 X 之後，控制信號 C 與 D 會變為低準位，使得輸出信號 G 與 H 會從高準位狀態下降一定準位，並且輸出信號 K 與 L 會從低準位狀態上升一定準位。接著，在時間 X+1 之後，控制信號 C 與 D 會再變為高準位，使得輸出信號 G 與 H 再變為高準位狀態，而輸出信號 K 與 L 會完全上升至高準位狀態，且輸出信號 I 與 J 會變為高準位並且輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 6 )

雖然 MPWM DAC 的每個輸出緩衝器 52a~52d 或輸出緩衝器 54a~54d 的最大輸出電流之總和才是傳統 PWM DAC 的電流值，但由於四個輸出緩衝器 52a~52d 或輸出緩衝器 54a~54d 的動作完全相同，所以其結果與傳統 PWM DAC 等效。

若要進一步表示  $X+(Q/P)$  的 PCM 值則傳統 PWM DAC 無法完成，其中 P 表示輸出緩衝器 52a~52d 或輸出緩衝器 54a~54d 的最大輸出電流之總和，而 Q 則表示控制裝置所啟動之三態緩衝器之各個電流總和值，因為傳統 PWM DAC 是數位式輸出，最小單位為 1，故只能表示 X 與 X+1、X+2 等整數值，而由於本發明之四階 MPWM DAC 每個輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 的均有其最大輸出電流，藉由這四個輸出緩衝器 52a~52d 或輸出緩衝器 54a~54d 的巧妙搭配，可以將最小單位縮小為  $Q/P$ ，進而表示  $X+(Q/P)$  的 PCM 值。

請同時參照第 4 圖與第 7 圖。第 7 圖所示為本發明 MPWM DAC 之輸出波形。

在時間 X 與 X+1 之間，每一個保持低電位的輸出緩衝器代表將輸出值加上其輸出之最大電流，並且在這段期間，不是低電位的輸出緩衝器必須變成高輸出阻抗狀態。在時間 X+1 之後至該取樣週期結束為止，所有輸出緩衝器均輸出高電位。

舉例來說，在第一個取樣週期期間，一開始時，輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 之輸入信號 MP+與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

信號 K 與 L 會維持在高準位狀態，直到此第二個取樣週期結束後輸出信號 I、J、K 與 L 才都變為低準位狀態。

在第三個取樣週期期間，輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 之輸入信號 MP+與 MP-的準位狀態變化如先前第一個取樣週期所述。而控制信號 A、B、C 與 D 都為高準位，此時輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 之輸出信號 E、F、G 與 H 以及 I、J、K 與 L 分別處在高準位與低準位。

在時間 X 之後，控制信號 D 會變為低準位，使得輸出信號 H 會從高準位狀態下降一定準位，並且輸出信號 L 會從低準位狀態上升一定準位。接著，在時間 X+1 之後，控制信號 D 會再變為高準位，使得輸出信號 H 再變為高準位狀態，而輸出信號 L 會完全上升至高準位狀態，且輸出信號 I、J 與 K 會變為高準位，直到此第三個取樣週期結束後輸出信號 I、J、K 與 L 才都變為低準位狀態。

接著，取樣週期之波形再回到如第一個取樣週期所示，並依序循環操作。

其中，揚聲器 56 所輸出之 MPWM DAC 可依輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 之輸出電流不同加以變化，舉例來說，輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 之輸出電流各為 MP+與 MP-之 1/8、1/8、1/4、1/2，並且經由上述之運作方法，並由第 3 圖之 34 控制裝置選擇輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 之輸出狀況，由此，用以操控揚聲器 56 之輸出情形。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(9)

請參照第 5 圖，其繪示的是依照本發明一較佳實施例的一種 MPWM DAC 控制器裝置之示意圖，其中 B1 與 B0 為 PCM 之最低位元，其輸入用以操作控制器 58/60/62 之啟動與否，並且，由 A、B、C、與 D 輸出控制信號，用以控制第 4 圖之輸出緩衝器 52a~52d 與輸出緩衝器 54a~54d 輸出之狀態。

此處，本實施例係以四階 MPWM DAC 為範例，當然也可以八階 MPWM DAC 或更多，例如  $2^n$ ，其中 n 可以是任意正數值。舉例來說，若  $n=1$ ，則解析度可多出 1 位元，若  $n=2$ ，則解析度可多出 2 位元，若  $n=3$ ，則解析度可多出 3 位元。

此外，必須注意的是，第一輸出緩衝裝置與第二輸出緩衝裝置的個數可以不同。也就是，可以有  $2^{m1}$  個第一輸出緩衝裝置與  $2^{m2}$  個第二輸出緩衝裝置，而其中  $m1$  與  $m2$  分別為小於 n 的正數。

綜上所述，依照本發明之 MPWM DAC，不僅可提高解析度，同時也可維持原來的取樣率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 六、申請專利範圍

1.一種多準位脈衝寬度之調變裝置，用以接收一 PCM 信號，並且輸出一 PWM 信號，包括：

一轉換電路，用以接收 $n$ 位元之該PCM信號，將 $n-m$ 之位元數值轉換成PWM波形，其中 $m$ 係為該PCM信號中的最低位元信號之數目，並且 $n>m$ ，接著，該轉換電路輸出一第一輸出信號，一第二輸出信號，與一啓動信號；

一控制裝置，用以接收該啓動信號，並且產生一控制信號；

一第一輸出緩衝裝置，具有 $2^{m1}$ 個輸出緩衝器(其中， $m1<n$ )，用以接收該第一輸出信號與該控制信號，並且輸出一第一驅動信號；

一第二輸出緩衝裝置，具有 $2^{m2}$ 個輸出緩衝器(其中， $m2<n$ )，用以接收該第二輸出信號與該控制信號，並且輸出一第二驅動信號；以及

一輸出裝置，接收該第一驅動信號與該第二驅動信號，並輸出該PWM信號；

其中該控制裝置會依據PCM的最低位元信號，於每個取樣週期的某一區間內，選擇並關閉使得該第一輸出緩衝裝置之該些輸出緩衝器與該第二輸出緩衝裝置之該些輸出緩衝器形成高輸出阻抗狀態，用以控制該第一輸出緩衝裝置與該第二輸出緩衝裝置之輸出情況。

2.如申請專利範圍第1項所述之多準位脈衝寬度之調變裝置，其中該第一輸出緩衝裝置之該些輸出緩衝器，係指三態緩衝器。

## 六、申請專利範圍

3.如申請專利範圍第1項所述之多準位脈衝寬度之調變裝置，其中該第二輸出緩衝裝置之該些輸出緩衝器，係指三態緩衝器。

4.如申請專利範圍第1項所述之多準位脈衝寬度之調變裝置，該第一輸出緩衝裝置之該些輸出緩衝器，其中一輸出緩衝器為輸出緩衝器。

5.如申請專利範圍第1項所述之多準位脈衝寬度之調變裝置，該第二輸出緩衝裝置之該些輸出緩衝器，其中一輸出緩衝器為輸出緩衝器。

6.如申請專利範圍第1項所述之多準位脈衝寬度之調變裝置，其中該控制裝置具有複數個控制器，該些控制器用以接收該轉換電路之該啓動信號，該啓動信號係為該PCM信號之該些最低位元信號，判別該第一輸出緩衝裝置之該些輸出緩衝器與該第二輸出緩衝裝置之該些輸出緩衝器之啓動與否。

7.如申請專利範圍第1項所述之多準位脈衝寬度之調變裝置，其中該輸出裝置係為一揚聲器。

8.一種具有多重位準之數位類比調變裝置，用以接收一數位信號，該數位信號具有至少一調變位元與至少一位準位元，並且輸出一類比調變信號，該具有多位準之數位類比調變裝置包括：

一轉換電路，用以接收該數位信號，並且，將該數位信號之該調變位元轉換成一第一輸出信號與一第二輸出信號，接著，該轉換電路輸出該第一輸出信號，該第二輸出

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

信號，以及該數位信號之該位準位元；

一控制裝置，用以接收該數位信號之該位準位元，並且產生一控制信號；

複數個第一輸出緩衝器，用以接收該第一輸出信號與該控制信號，並且輸出一第一驅動信號；

複數個第二輸出緩衝器，用以接收該第二輸出信號與該控制信號，並且輸出一第二驅動信號；以及

一輸出裝置，接收該第一驅動信號與該第二驅動信號，用以輸出該類比調變信號；

9.如申請專利範圍第8項所述之具有多重位準之數位類比調變裝置，其中該控制裝置會依據該位準位元，於每個取樣週期的某一區間內，選擇並關閉使得該些第一輸出緩衝器與該些第二輸出緩衝器形成高輸出阻抗狀態，用以控制該些第一輸出緩衝器與該些第二輸出緩衝器之輸出情況。

10.如申請專利範圍第8項所述之具有多重位準之數位類比調變裝置，其中該些第一輸出緩衝器係指三態緩衝器。

11.如申請專利範圍第8項所述之具有多重位準之數位類比調變裝置，其中該些第二輸出緩衝器係指三態緩衝器。

12.如申請專利範圍第8項所述之具有多重位準之數位類比調變裝置，其中該些第一輸出緩衝器中有一為輸出緩衝器。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 六、申請專利範圍

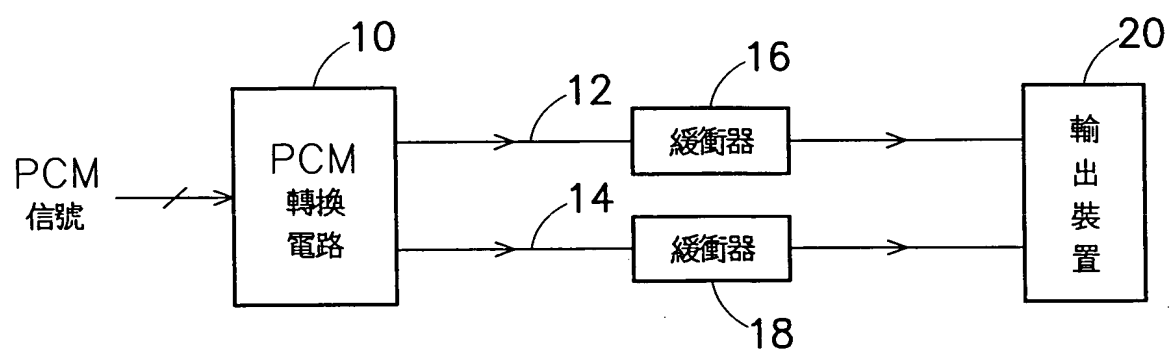
13.如申請專利範圍第8項所述之具有多重位準之數位類比調變裝置，其中該些第二輸出緩衝器中有一為輸出緩衝器。

14.如申請專利範圍第8項所述之具有多重位準之數位類比調變裝置，其中該控制裝置具有複數個控制器，該些控制器用以接收該轉換電路之該位準位元，用以判別該些第一輸出緩衝器與該些第二輸出緩衝器之啟動與否。

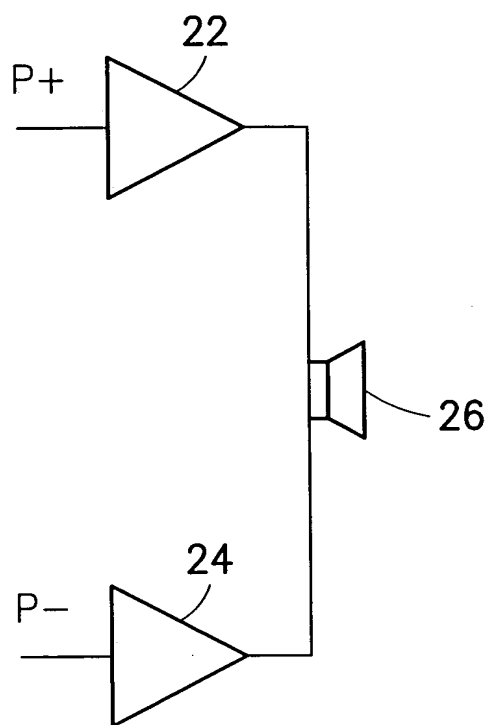
15.如申請專利範圍第8項所述之具有多重位準之數位類比調變裝置，其中該輸出裝置係為一揚聲器。

(請先閱讀背面之注意事項再填寫本頁)

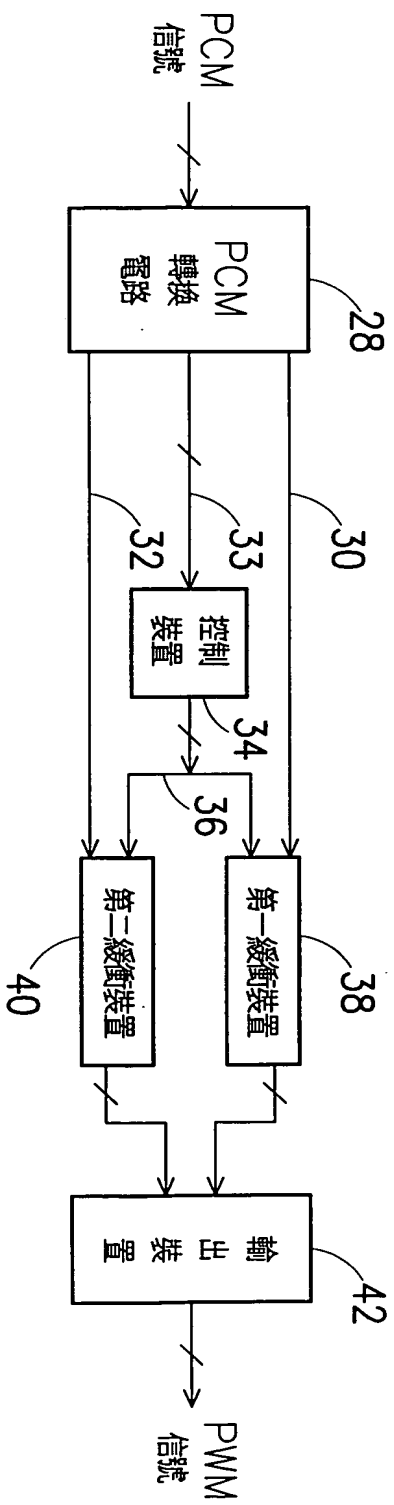
裝  
訂  
線



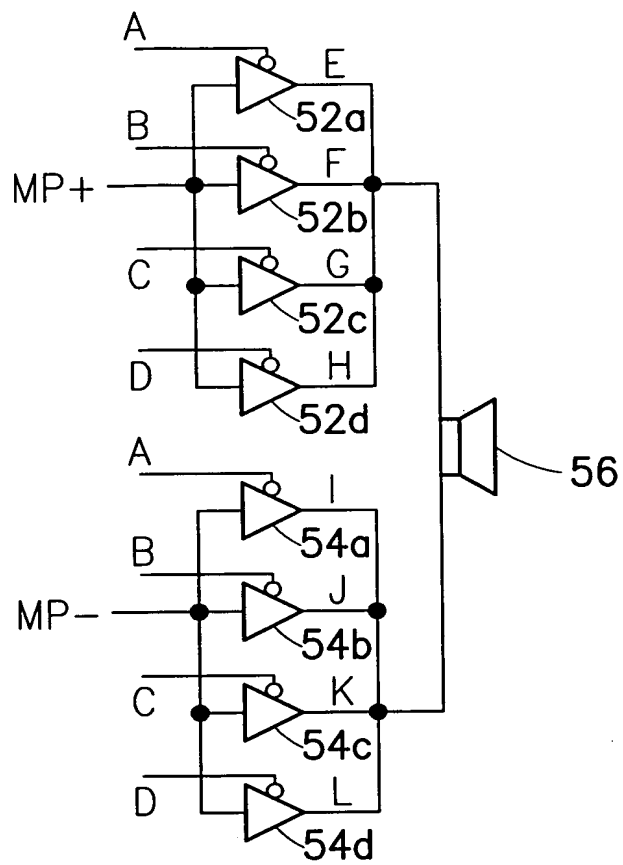
第 1 圖



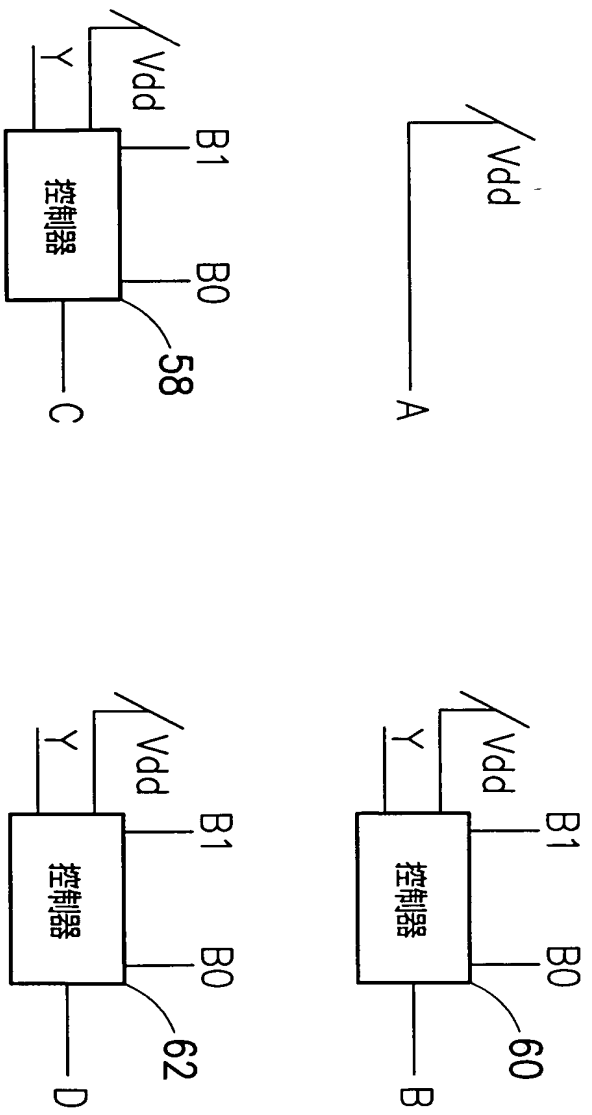
第 2 圖



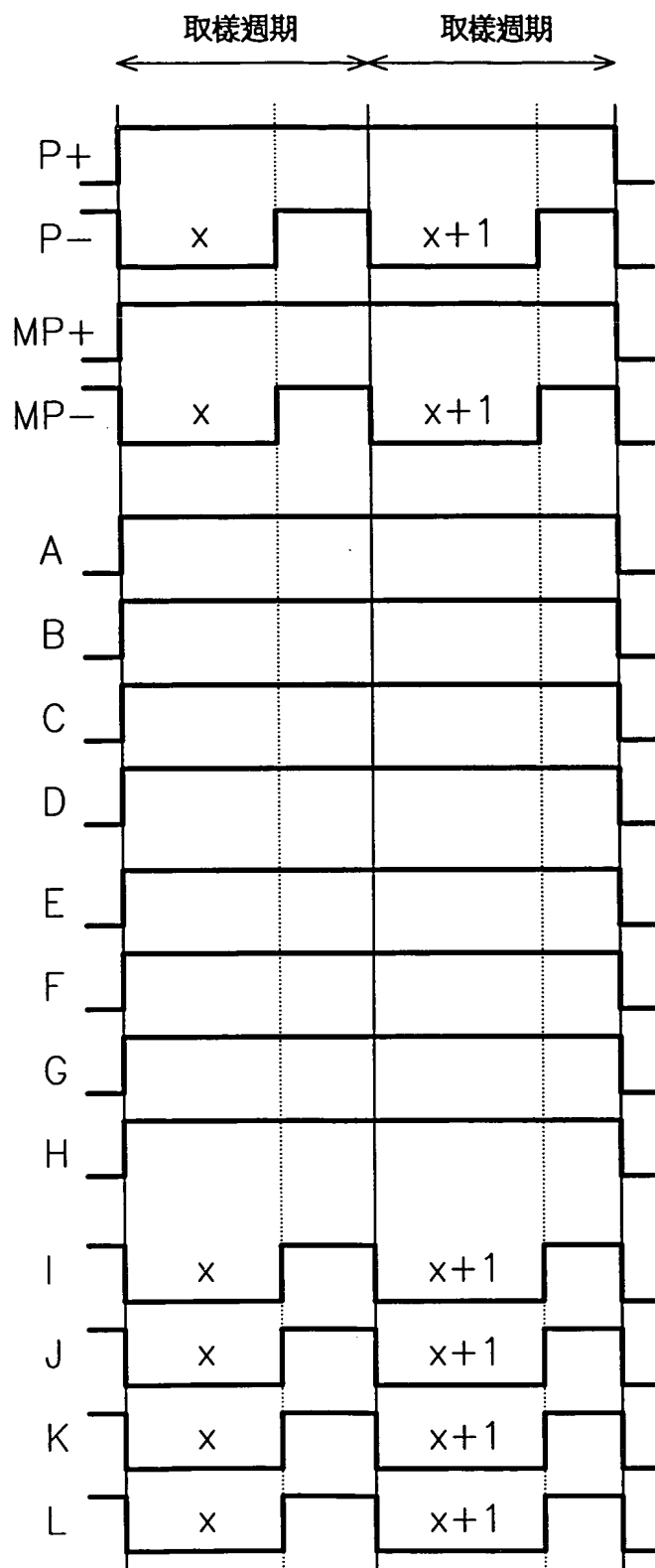
第 3 圖



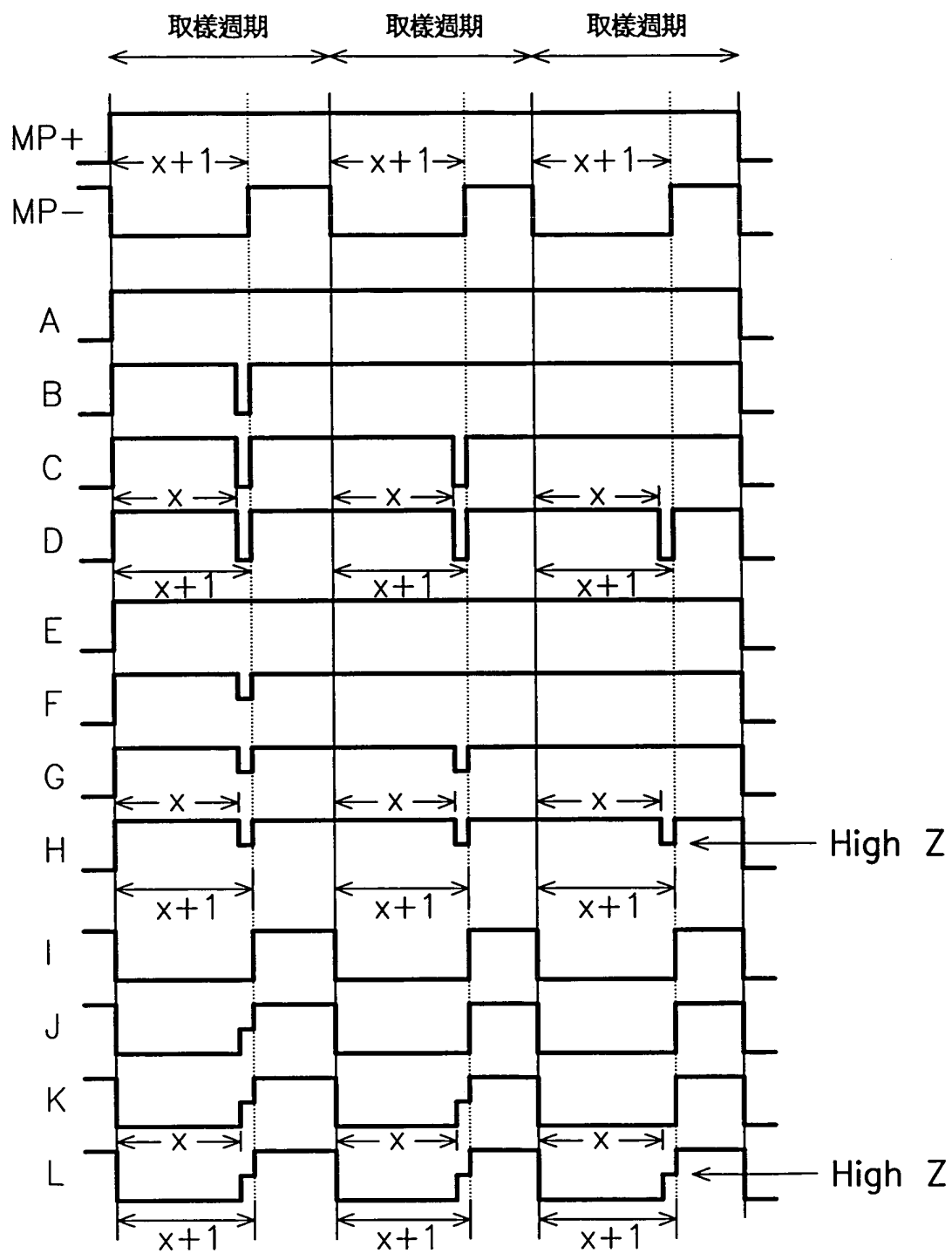
第 4 圖



第 5 圖



第 6 圖



第 7 圖